

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-134945

(43)Date of publication of application : 01.06.1993

(51)Int.Cl.

G06F 13/00

G06F 3/00

G06F 11/18

G06F 13/38

(21)Application number : 03-299249

(71)Applicant : NEC CORP
KOUFU NIPPON DENKI KK

(22)Date of filing : 14.11.1991

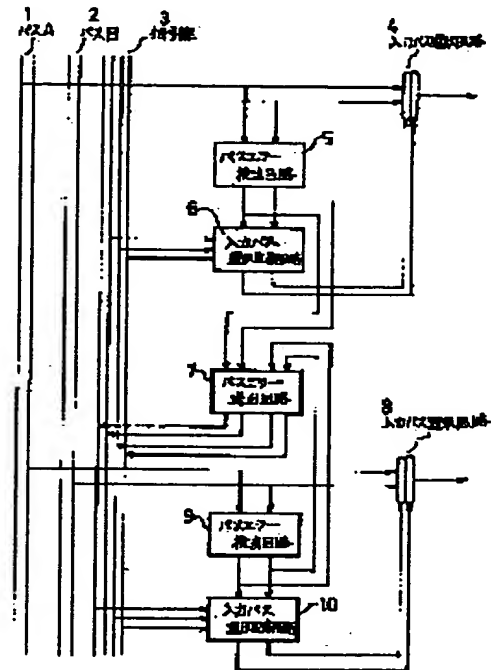
(72)Inventor : WATABE SHINJI
SHINOHARA MASASHI

(54) BUS INTERFACE MECHANISM

(57)Abstract:

PURPOSE: To continue the operation of a bus interface mechanism in a highly reliable state of a bus by dividing the data on plural buses into the groups of a certain scale respectively and invalidating only the bus of the group where a bus interface error is detected.

CONSTITUTION: The input bus selection control circuits 6 and 10 are added with the AND circuits respectively and validate the bus interface error signals of other units which are inputted with the error group signals only when the bus interface errors of other units inputted through a signal line 3 are identical with the interface errors of the groups whose selection are going to be instructed by the input bus selector circuits 4 and 8. In other words, the circuit 6 validates only the bus interface errors of other units of a group 1 and the circuit 10 validates only the bus interface errors of other units of a group 2 respectively.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-134945

(43) 公開日 平成5年(1993)6月1日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/00	3 0 1 P	7368-5B		
3/00	F	8323-5B		
11/18	3 1 0 B	7313-5B		
13/38	3 2 0 A	8725-5B		

審査請求 未請求 請求項の数 2 (全 15 頁)

(21) 出願番号 特願平3-299249
 (22) 出願日 平成3年(1991)11月14日

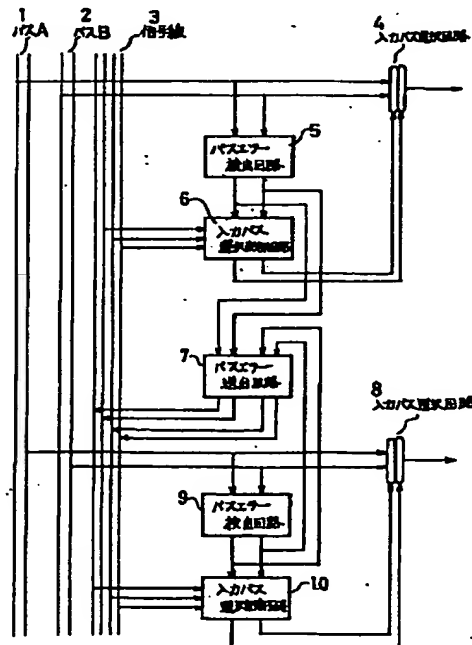
(71) 出願人 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (71) 出願人 000168285
 甲府日本電気株式会社
 山梨県甲府市大津町1088-3
 (72) 発明者 渡部 晋司
 東京都港区芝五丁目7番1号 日本電気株式会社内
 (72) 発明者 篠原 真史
 山梨県甲府市大津町1088-3 甲府日本電気株式会社内
 (74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 バスインターフェース機構

(57) 【要約】

【目的】 同じ動作を行う複数のバスを備えて信頼性を高めたシステムにおいて、あるバスに障害が発生した場合のシステムの信頼性の低下を防ぐ。

【構成】 2重化されたバスA1、バスB2に接続させた各ユニットが、前記複数の各グループ毎にエラー検出回路を持つバスエラー検出回路5、9と、バスエラー検出回路5、9の検出したバスのインターフェースエラーを他ユニットに送出するバスエラー送出回路7と、バスエラー送出回路7の出力を他ユニットに送るための信号線3と、バスA1、バスB2で使用するバスを選択する入力バス選択回路と選択回路48と、バスエラー検出回路5、9の出力と信号線3を通して送られてきた他ユニットのバスのインターフェースエラーにしたがって入力バス選択回路48がバスA1、バスB2の内のどのバスの入力を使用するかを制御する入力バス選択制御回路10とを有する。



【特許請求の範囲】

【請求項1】 同じ動作を行うバスを複数個備えた情報処理装置におけるバスインターフェース機構において、前記複数のバスの各バスの信号を複数のグループに分割し、前記複数のバスに接続された各ユニットが、前記複数の各グループ毎にエラー検出回路を持つバスエラー検出回路と、

前記バスエラー検出回路の検出したバスのインターフェースエラーを他ユニットに送出するバスエラー送出回路と、

前記バスエラー送出回路の出力を他ユニットに送るための信号線と、

前記複数のバスの内で使用するバスを選択する入力バス選択回路と、

前記バスエラー検出回路の出力と前記信号線を通して送られてきた他ユニットのバスのインターフェースエラーにしたがって前記入力バス選択回路が前記複数のバスの内どのバスの入力を使用するかを制御する入力バス選択制御回路とを有することを特徴とするバスインターフェース機構。

【請求項2】 同じ動作を行うバスを複数個備えた情報処理装置におけるバスインターフェース機構において、前記複数のバスの各バスの信号を複数のグループに分割し、あるバスのあるグループにおいてバスのインターフェースエラーが検出された場合にエラーの検出されたバスのグループのバスの代替として予め備えられる予備バスと、

前記複数のバスに接続された各ユニットが、前記複数のバスの各グループ毎と前記予備バスのそれぞれにエラー検出回路を持つバスエラー検出回路と、

前記バスエラー検出回路の検出したバスのインターフェースエラーを他ユニットに送出するバスエラー送出回路と、

前記バスエラー送出回路の出力を他ユニットに送るための信号線と、

前記複数のバスと前記予備バスのバスの内で使用するバスを選択する入力バス選択回路と、

前記バスエラー検出回路の出力と前記信号線を通して送られてきた他ユニットのバスのインターフェースエラーにしたがって前記入力バス選択回路が前記複数のバスと前記予備バスの内どのバスの入力を使用するかを制御する入力バス選択制御回路と、

前記バスエラー検出回路によって前記複数のバスのあるグループにインターフェースエラーが検出されるとインターフェースエラーの検出されたバスのグループへの出力を予備バスに出力するように切り替えるバス出力切替回路とを有することを特徴とするバスインターフェース機構。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は無停止型情報処理装置における複数のバスを備えたバスインターフェース機構に関する。

【0002】

【従来の技術】 従来のバスインターフェース機構は、図10に示すように同じ動作を行う2重化バスであるバスA120、バスB121と、バスエラー検出回路124で検出されたバスのインターフェースエラーを他ユニットに伝えるための信号線122と、バスA120とバスB121のどちらの入力を使用するかを選択する入力バス選択回路123と、バスA120とバスB121のバスのインターフェースエラーを検出するバスエラー検出回路124と、バスエラー検出回路124で検出されたエラーと信号線122を通して伝えられる他ユニットのバスインターフェースエラーにしたがって入力バス選択回路123で選択するバスを制御する入力バス選択制御回路125を有している。次に図10、図2、図11を参照して動作を説明する。ここで図10は従来技術の実施例の構成を示すブロック図であり、図2はバスエラー検出回路124の一例を示す図である。同様に図11は入力バス選択制御回路125の一例を示す図である。

【0003】 バスA120とバスB121は2重化されたバスであり、全く同じ動作をする。このバスA120とバスB121の入力をバスエラー検出回路124においてバスのインターフェースエラーが発生していないかどうかをチェックする。このチェックのためにバスA120及びバスB121に送出されるデータにパリティを付与する。バスA120のパリティチェックはパリティチェック回路11で行い、バスB121のパリティチェックはパリティチェック回路13で行い、パリティエラーが検出された場合は1が出力される。バスA120とバスB121の入力データの比較チェックを比較回路10で行い、比較エラーが検出された場合は1が出力される。またAND回路14及び15によりパリティチェック回路11及び13と比較回路12のANDをとり、その結果によりバスのインターフェースエラーを検出する。つまりパリティエラーと比較エラーの両方が検出されたバスの入力がバスのインターフェースエラーとして認識される。パリティエラーと比較エラーの両方を検出する理由は、比較エラーのみではどちらのバスがインターフェースエラーを起こしたのか判別ができず、パリティエラーのみでは複数のビットがエラーを起こした場合に、エラーを起こしたビットが偶数個のときはエラーが検出できない危険があるためである。AND回路14はバスA120でインターフェースエラーが起きたことを示すバスAエラー信号を出力し、AND回路15はバスB121でインターフェースエラーが起きたことを示すバスBエラー信号を出力する。

【0004】 バスAエラー信号とバスBエラー信号は入力バス選択制御回路125に出力されるとともに、他ユ

ニットに伝えるために信号線122に送出される。

【0005】入力バス選択制御回路125では、バスAエラー信号及びバスBエラー信号と信号線122を通して入力される他ユニットのバスAエラー信号をバスBエラー信号をそれぞれ、OR回路130及びOR回路131でORをとる。OR回路130とOR回路131の出力はそれぞれバスAエラーF/F132とバスBエラーF/F133に輸入される。バスAエラーF/F132とバスBエラーF/F133は一度セットされると自身自身の出力がホールド信号となり、セットされた状態を保持し続ける。NOR回路134では、OR回路130の出力とバスAエラーF/F132の出力のNORをとり、バスの入力の内バスA120を選択するバスA選択信号を出力し、NOR回路135では、OR回路131の出力とバスBエラーF/F133の出力のNORをとり、バスの入力の内バスB121を選択するバスB選択信号を出力する。つまり自ユニットまたは他ユニットにバスのインターフェースエラーが検出されると、インターフェースエラーの検出されたサイクル及びそのサイクル以後、インターフェースエラーの検出されたバスの選択信号は出力されなくなる。

【0006】入力バス選択回路123は入力バス選択制御回路125の出力によって、どのバスの入力を使用するかを選択する。バスB121でインターフェースエラーが検出されバスA選択信号のみがだされているときはバスA120のバス出力を選択し、バスA120でインターフェースエラーが検出されバスB選択信号のみがだされているときはバスB121のバス出力を選択する。バスA120とバスB121の両方のバスのインターフェースエラーが検出されていないときは、バスA選択信号とバスB選択信号の両方の選択信号が出力され、入力バス選択回路123でバスA120とバスB121の両方のバスが選択され、その結果、バスA120とバスB121の入力のORをとることになるが、両バスの入力は等しいデータであるため問題はない。

【0007】このように従来技術においては、同じ動作を行う2重化バスの一方のバスに一度インターフェースエラーが検出されると、インターフェースエラーの検出された側のバス全体を無効にして、インターフェースエラーの検出されていない側のバスのみで動作していた。

【0008】

【発明が解決しようとする課題】 上述した従来のバスインターフェース機構は、2重化バスのどちらか一方にインターフェースエラーが検出されると、インターフェースエラーの検出された側のバス全体を無効にし、インターフェースエラーの検出されていない側のバスのみで動作していた。このためインターフェースエラーが発生した原因がバスの1ビットの障害のみであっても、そのバス全体を無効にしなければならなかった。また、2重化バスの一方が故障してもう一方のバスのみで動作してい

るときに、故障した側のバスをシステムが動作中に交換することは困難であり、そのため無停止が要求されるシステムにおいては、バスの構成が不十分な状態でシステムを動作させ続けなければならなかった。

【0009】本発明の目的は、同じ動作を行なう複数のバスを備えて信頼性を高めたシステムにおいて、あるバスに障害が発生した場合のシステムの信頼性の低下を防ぐことができるバスインターフェース機構を提供することにある。

10 【0010】

【課題を解決するための手段】 本発明の請求項1記載のバスインターフェース機構は、同じ動作を行うバスを複数個備えた情報処理装置におけるバスインターフェース機構において、前記複数のバスの各バスの信号を複数のグループに分割し、前記複数のバスに接続された各ユニットが、前記複数のバスの各グループ毎にエラー検出回路を持つバスエラー検出回路と、前記バスエラー検出回路の検出したバスのインターフェースエラーを他ユニットに送出するバスエラー送出回路と、前記バスエラー送出回路の出力を他ユニットに送るための信号線と、前記複数のバスの内で使用するバスを選択する入力バス選択回路と、前記バスエラー検出回路の出力と前記信号線を通して送られてきた他ユニットのバスのインターフェースエラーにしたがって前記入力バス選択回路が前記複数のバスの内どのバスの入力を使用するかを制御する入力バス選択制御回路とを有する。

20 【0011】 本発明の請求項2記載のバスインターフェース機構は、同じ動作を行うバスを複数個備えた情報処理装置におけるバスインターフェース機構において、前記複数のバスの各バスの信号を複数のグループに分割し、あるバスのあるグループにおいてバスのインターフェースエラーが検出された場合に、エラーの検出されたバスのグループのバスの代替えとして予め備えられる予備バスと、前記複数のバスに接続された各ユニットが、前記複数のバスの各グループ毎と前記予備バスのそれぞれにエラー検出回路を持つバスエラー検出回路と、前記バスエラー検出回路の検出したバスのインターフェースエラーを他ユニットに送出するバスエラー送出回路と、前記バスエラー送出回路の出力を他ユニットに送るための信号線と、前記複数のバスと前記予備のバスのバスの内で使用するバスを選択する入力バス選択回路と、前記バスエラー検出回路の出力と前記信号線を通して送られてきた他ユニットのバスのインターフェースエラーにしたがって前記入力バス選択回路が前記複数のバスと前記予備バスの内どのバスの入力を使用するかを制御する入力バス選択制御回路と、前記バスエラー検出回路によって前記複数のバスのあるグループにインターフェースエラーが検出されるとインターフェースエラーの検出されたバスのグループへの出力を予備バスに出力するように切り替えるバス出力切替回路とを有する。

【0012】

【作用】複数のバスのデータをそれぞれ複数のグループに分割し、あるバスのあるグループにバスのインターフェースエラーが起こると、インターフェースエラーが起こったバスのグループのみを無効にし、インターフェースエラーが起こったバスの他のグループのデータに影響を及ぼさず、高信頼性を保持しつつ動作し続ける。

【0013】

【実施例】以下に、本発明の一実施例について図面を参照して説明する。

【0014】図1は本発明の請求項1に対応する実施例の構成を示すブロック図である。図1のバスインターフェース機構は、同じ動作を行いかつバスのデータを2つのグループに分割した2重化バスであるバスA1、バスB2と、バスエラー送出回路7によって送出されるバスのインターフェースエラーを他ユニットに伝えるための信号線3と、2つの分割されたグループ単位にバスA1とバスB2のどちらの入力を使用するかを選択する入力バス選択回路4、8と、同様に2つの分割されたグループ単位にバスのインターフェースエラーを検出するバスエラー検出回路5、9と、バスエラー検出回路5、9で検出されたバスのデータの一方のグループのエラーと信号線3を通して伝えられる他ユニットのグループ毎のバスのインターフェースエラーにしたがって入力バス選択回路4、10で選択するバスを制御する入力バス選択制御回路6、10と、バスエラー検出回路5、9で検出されたバスのインターフェースエラーにしたがってどのバスのどのグループにバスのインターフェースエラーが起こったかを信号線3を通して他ユニットに送出するバスエラー送出回路7を有している。

【0015】ここで入力バス選択回路4と入力バス選択回路8、バスエラー検出回路5とバスエラー検出回路9、入力バス選択制御回路6と入力バス選択制御回路10はそれぞれ同等の回路である。またバスエラー検出回路5、9は図10の従来の技術の実施例のバスエラー検出回路124と同等の回路であり、同様に動作する。

【0016】次に図1、図2、図3、図4を参照して、本発明の請求項1に対応する実施例の動作を説明する。図2はバスエラー検出回路5、9の一例を示す図であり、図3は入力バス選択制御回路6、10の一例を示す図であり、図4はバスエラー送出回路7の一例を示す図である。

【0017】バスA1とバスB2は2重化されたバスであり、そのバスのデータを2つのグループに分割し、インターフェースエラーのチェックのためのパリティはそれぞれのグループに対して付与する。これにより2つのグループの一方をグループ1とし、もう一方をグループ2とする。このバスA1とバスB2の入力データのグループ1がバスエラー検出回路5に入力され、またグループ2がバスエラー検出回路9に入力され、バスのインタ

ーフェースエラーが起こっていないかをチェックされる。バスエラー検出回路5、9はバスエラー検出回路124と同じ動作をする。バスエラー検出回路5はバスA1のグループ1でインターフェースエラーが起こったことを示すグループ1バスAエラー信号と、バスB2のグループ1でインターフェースエラーが起こったことを示すグループ1バスBエラー信号を送出し、同様にバスエラー検出回路9はバスA1のグループ2でインターフェースエラーが起こったことを示すグループ2バスAエラー信号と、バスB2のグループ2でエラーが起こったことを示すグループ2バスBエラー信号を送出する。

【0018】バスエラー送出回路7はバスエラー検出回路5、9のエラー信号にしたがって、どのバスのどのグループにエラーが起こったかを検出して送出する。OR回路31はグループ1バスAエラー信号とグループ1バスBエラー信号のORをとって、バスA1またはバスB2のグループ1でインターフェースエラーが起こったことを示すグループ1エラー信号を出力する。OR回路32はグループ1バスBエラー信号とグループ2バスBエラー信号のORをとって、バスB2のグループ1またはグループ2でインターフェースエラーが起こったことを示すバスBエラー信号を出力する。OR回路33はグループ1バスAエラー信号とグループ2バスBエラー信号のORをとって、バスA1のグループ1またはグループ2でインターフェースエラーが起こったことを示すバスAエラー信号を出力する。OR回路34はグループ2バスAエラー信号とグループ2バスBエラー信号のORをとって、バスA1またはバスB2のグループ2でインターフェースエラーが起こったことを示すグループ2エラー信号を出力する。それぞれの出力は信号線3に出力され、信号線3を通して他ユニットに伝達される。

【0019】入力バス選択制御回路6、10は図10の従来例の入力バス選択回路123とほぼ同等の回路を有しているが、AND回路27とAND回路28が付加されて、信号線3を通して入力される他ユニットのバスのインターフェースエラーが、入力バス選択回路4、8で選択を指示しようとしているグループのインターフェースエラーである場合のみ、エラーグループ信号によって入力された他ユニットのバスのインターフェースエラー信号を有効にしている。つまり、入力バス選択制御回路6ではグループ1の他ユニットのバスのインターフェースエラーのみ有効になり、入力バス選択制御回路10ではグループ2の他ユニットのバスのインターフェースエラーのみ有効となる。

【0020】入力バス選択回路4、8も図10の従来例の入力バス選択回路とほぼ同等の機能を持っており、入力バス選択制御回路6、10の出力のバス選択信号にしたがって、入力バス選択回路4はグループ1のバスA1の入力とバスB2の入力の内どちらの入力を使用するか選択し、入力バス選択回路8はグループ2のバスA1の

7

入力とバスB2の入力の内どちらの入力を使用するかを選択する。

【0021】図5は本発明の請求項2に対応する実施例の構成を示すブロック図である。図5のバスインターフェース機構は、同じ動作を行いかつバスのデータの2つのグループに分割した2重化バスであるバスA41、バスB42と、あるバスのグループにインターフェースエラーが検出された場合インターフェースエラーの検出されたバスのグループのバスの替わりにそのバスの動作を行う予備バス43と、バスエラー送出回路49によって送出されるバスのインターフェースエラーを他ユニットに伝えるための信号線44と、2つに分割されたグループ単位にバスA41とバスB42及び予備バス43の内どの入力を使用するかを選択する入力バス選択回路45、51と、同様に2つの分割されたグループ単位にバスA41とバスB42と予備バス43のインターフェースエラーを検出するバスエラー検出回路46、52と、バスエラー検出回路46、52で検出されたバスのデータの一方のグループのインターフェースエラーと信号線44を通して伝えられる他ユニットの各グループと予備バス43のバスのインターフェースエラーにしたがって入力バス選択回路45、51で選択するバスを制御する入力バスで選択制御回路47、53と、バスエラー検出回路46、52で検出されたバスのインターフェースエラーにしたがってどのバスのどのグループにバスのインターフェースエラーが起こったかを信号線44を通して他ユニットに送出するバスエラー送出回路49と、バスA41またはバスB42のあるグループにインターフェースエラーが検出されたときにインターフェースエラーが検出されたバスのグループへの出力を予備バス43に出力するように切り替えるバス出力切替回路48、50を有している。

【0022】また図5の請求項2に対応する実施例の各機能は、図1の請求項1に対応する実施例の同名称の機能と同様の機能を持っており、図5の各機能は図1の各機能にインターフェースエラーが検出されたバスのグループのバスの替わりに予備バス43を使用するための機能を追加されている。

【0023】次に図5、図6、図7、図8、図9を参照して、本発明の請求項2に対応する実施例の動作を説明する。図6はバスエラー検出回路46、52の一例を示す図であり、図7は入力バス選択制御回路47、53の一例を示す図であり、図8はバスエラー送出回路49の一例を示す図であり、図9は入力バス選択回路45、51の一例を示す図である。

【0024】バスA41とバスB42は2重化されたバスであり、そのバスのデータを2つのグループに分割し、インターフェースエラーのチェックのためのパリティはそれぞれのグループに対して付与する。ここで2つのグループの一方をグループ1とし、もう一方をグルー

8

ブ2とする。このバスA41とバスB42及び予備バス43のグループ1の入力データがバスエラー検出回路46に入力され、また同様にグループ2がバスエラー検出回路52に入力され、バスのインターフェースエラーが起こっていないかをチェックされる。バスのインターフェースエラーのチェック方法は従来の技術と同じである。パリティチェック回路61、63と比較回路62でバスA41とバスB42のバスのインターフェースエラーをチェックし、AND回路67よりバスA41でインターフェースエラーが起こったことを示すバスAエラー信号を出力し、AND回路68よりバスB42でインターフェースエラーが起こったことを示すバスBエラー信号を出力する。ただし、AND回路67、68にはそれぞれNOT回路71、72の出力が入力されており、NOT回路71はバスBエラーF/F89の出力信号を入力してその入力をAND回路67に反転出力し、NOT回路72はバスAエラーF/F88の出力信号を入力してその入力をAND回路68に反転出力するため、AND回路67のバスAエラー信号はバスB42にインターフェースエラーが検出された次のサイクルから無効にされ、AND回路68の出力のバスBエラー信号はバスA41にエラーが検出された次のサイクルから無効にされる。これはバスA41またはバスB42にエラーが検出された場合、次のサイクルからエラーの発生していない側のバスと予備バス43のエラーを検出ようになるため、AND回路67及びAND回路68のエラーの発生していない側のバスエラー出力信号を無効にする必要があるからである。バスAB選択回路60にはバスA41とバスB42のデータが入力され、バスAエラーF/F88の出力信号でバスA41の入力を選択し、バスBエラーF/F89の出力信号でバスB42の出力を選択する。つまりインターフェースエラーが起こっていない側のバスを選択するように制御される。パリティチェック回路64、66と比較回路65によって、バスAB選択回路60によって選択されたバスと予備バス43のインターフェースエラーをチェックし、AND回路69からバスA41とバスB42の両方のバスでインターフェースエラーが起こったことを示すバスABエラー信号を出力し、AND回路70から予備バス43でインターフェースエラーが起こったことを示す予備バスエラー信号を出力する。この2つの出力信号はバスAエラー出力信号とバスBエラー出力信号とは反対に、OR回路73の出力であるバスAエラーF/F88の出力信号とバスBエラーF/F89の出力信号のORによって有効にされる。つまりバスA41またはバスB42のどちらかにエラーが検出されていないと無効になる。このようにしてバスのインターフェースエラーは検出される。バスエラー検出回路46ではバスA41及びバスB42のグループ1のバスのインターフェースエラーを検出し、かつ予備バス43もバスA41またはバスB42のバスのどち

らかのグループ1のバスの替わりに使用されているときはインターフェースエラーを検出する。バスエラー検出回路52はグループ2のバスに対してバスエラー検出回路46と同様のことを行う。

【0025】バスエラー送出回路49はバスエラー検出回路46、52から出力される各エラー信号にしたがって、どのバスのどのグループにエラーが起こったかを検出し、信号線44を通して他ユニットに送出する。OR回路100ではグループ1のバスの全てのエラー信号をORをとって、いずれかのバスのグループ1のバスでインターフェースエラーが起こったことを示すグループ1エラー信号を出力する。OR回路101はグループ1、2のバスAエラー信号のORをとり、OR回路102はグループ1、2のバスBエラー信号のORをとり、OR回路103はグループ1、2のバスABエラー信号のORをとる。この後OR回路106によりOR回路101とOR回路102の出力のORをとり、バスA41でインターフェースエラーが起こったことを示すバスAエラー信号を出力し、同様にしてOR回路107からバスB42でインターフェースエラーが起こったことを示すバスBエラー信号を出力する。OR回路104はグループ1、2の予備バスエラー信号をORをとって予備バスエラー43でインターフェースエラーが起こったことを示す予備バスエラー信号を出力する。OR回路105はグループ2の全てのエラー信号のORをとっていずれかのバスのグループでエラーが起こったことを示すグループ2エラー信号を出力する。

【0026】入力バス選択制御回路47、53は信号線44を通して伝えられる他ユニットのバスのインターフェースエラーと、バスエラー検出回路47、52で検出された各グループのバスのインターフェースエラー信号にしたがって、バスA選択信号、バスB選択信号、バスAB選択信号、予備バス選択信号、バスAエラーF/F出力信号、バスBエラーF/F出力信号を出力する。AND回路80、81、82によって信号線44から入力される他ユニットのバスのインターフェースエラー信号を入力バス選択制御回路47ではグループ1のインターフェースエラーであるときにのみ有効にし、入力バス選択制御回路53ではグループ2のインターフェースエラーであるときにのみ有効にしている。OR回路84、85、86、87は、他ユニットのバスのインターフェースエラーと自ユニットのバスエラー検出回路46または52で検出されたバスのインターフェースエラーを、それぞれのインターフェースエラーに対してORをとっている。ただしバスABエラー信号はバスA41とバスB42の両方がエラーを起こしていることを示す信号であるため、他ユニットバスAエラー信号と他ユニットバスBエラー信号のANDをAND回路83でとった後の出力としORしている。バスAエラーF/F88、バスBエラーF/F89、バスABエラーF/F90、予備バ

スエラーF/F91はそれぞれOR回路84、85、86、87の出力を入力し、一旦セットされると自分自身の出力がホールド信号となり、ずっとセットされた状態を保持し続ける。ただしバスABエラーF/F90と予備バスエラーF/F91は、バスAエラーF/F88またはバスBエラーF/F89のどちらかがセットされていないとセットされないように、バスAエラーF/F88とバスBエラーF/F89の出力信号のORをとるOR回路92の出力がセット信号となる。これはバスエラー検出回路46、52から出力されるバスABエラー信号と予備バスエラー信号は、バスA41またはバスB42のどちらかにインターフェースエラーが検出された次のサイクル以降でのみ有効となるためである。またこのセット信号はホールド信号よりは弱く、つまり一度セットされたF/Fの内容は保持されたままになる。NOR回路95はバスAエラーF/F88とOR回路84の出力信号のNORをとり、入力バス選択回路45、51でバスA41を選択するように指示するバスA選択信号を出力する。つまりバスA41にインターフェースエラーが検出されたサイクル以降、バスA選択信号によって入力バス選択回路45、51でバスA41の入力を選択しないように制御する。同様にしてNOR回路96はバスB選択信号を出力し、NOR回路93はバスAB選択信号を出力する。NOR回路94は予備バス43にインターフェースエラーが検出されていないことを示す信号を出力し、この出力とOR回路92の出力をAND回路97でANDして予備バス選択信号を出力する。つまりバスA41またはバスB42のどちらかにインターフェースエラーが検出され、インターフェースエラーの検出された次のサイクルから予備バスを使用するため、予備バス43にインターフェースエラーが検出されてなくかつバスAエラーF/F88またはバスBエラーF/F89がセットされているときにのみ、入力バス選択回路45、51で予備バスが選択されるように、予備バス選択信号を制御する。

【0027】入力バス選択回路45はグループ1のデータに対して入力バス選択制御回路47によって指示されるバスの入力を選択し、入力バス選択回路51はグループ2のデータに対して入力バス選択制御回路53によって指示されるバスの入力を選択する。選択回路110ではバスA選択信号とバスB選択信号によって、バスA41またはバスB42の入力が選択される。選択回路111ではバスAB選択信号と予備バス選択信号によって、予備バス43の入力または選択回路110の出力が選択される。

【0028】バス出力切替回路48はグループ1のバス出力をバスA41とバスB42に出力するとともに、入力バス選択制御回路47のバスAエラーF/F88またはバスBエラーF/F89のどちらかがセットされている、かつ入力バス選択制御回路53のバスAエラーF/

F88とバスBエラーF/F89のどちらもセットされていない場合にのみ、予備バス43にグループ1のバス出力を出力する。同様に、バス出力切替回路50はグループ2のバス出力のバスA41、バスB42、予備バス43への出力を制御する。

【0029】

【発明の効果】以上の説明の通り本発明は、複数のバスのデータをある程度の大きさに分割してグループ化し、バスのインターフェースエラーが検出されたときは、インターフェースエラーの検出されたグループのバスのみを無効にすることによって、バスの1ビットの障害で、障害のあるバス全体を無効にすることなく、障害のあるグループ以外のグループは信頼性の高いバスの状態で動作し続けることを可能にする。

【0030】また障害の発生したバスの替わりに予め備えておいた予備バスを使用することによって、障害の発生する前と全く変わらないバスの状態で、信頼性を低下させることなく動作を続けることができる。

【0031】以上のように、オンライン保守の困難なバスに障害が発生した場合にも、信頼性の高いシステムを保持することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の請求項1に対応する実施例の構成を示すブロック図である。

【図2】本発明の請求項1及び従来例のバスエラー検出回路の一例を示す図である。

【図3】本発明の請求項1の入力バス選択制御回路の一例を示す図である。

【図4】本発明の請求項1のバスエラー送出回路の一例を示す図である。

【図5】本発明の請求項2に対応する実施例の構成を示すブロック図である。

【図6】本発明の請求項2のバスエラー検出回路の一例を示す図である。

【図7】本発明の請求項2の入力バス選択制御回路の一例を示す図である。

【図8】本発明の請求項2のバスエラー送出回路の一例を示す図である。

【図9】本発明の請求項2の入力バス選択回路の一例を示す図である。

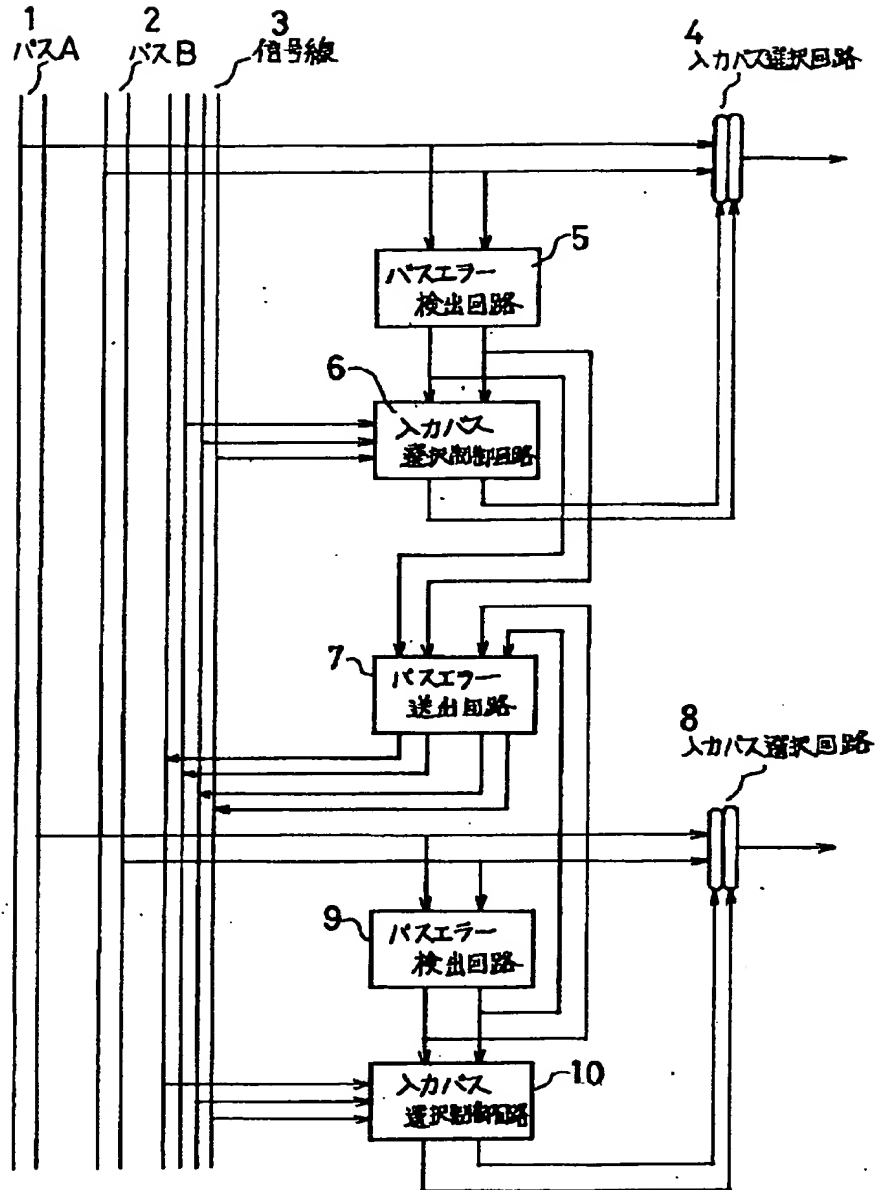
【図10】従来技術の実施例の構成を示すブロック図である。

【図11】従来技術の入力バス選択制御回路の一例を示す図である。

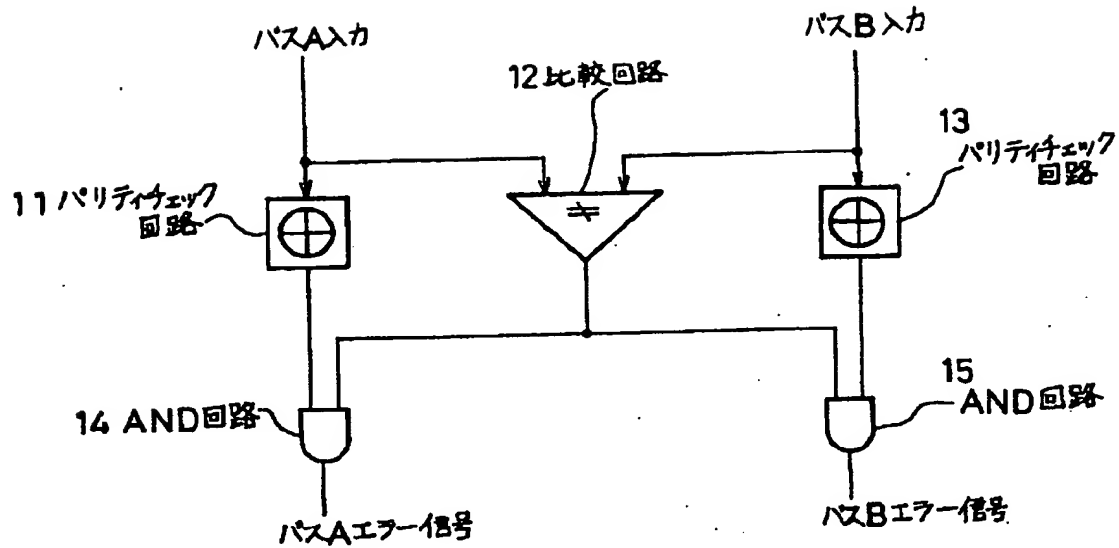
【符号の説明】

- 1 バスA
- 2 バスB
- 3 信号線
- 4, 8 入力バス選択回路
- 5, 9 バスエラー検出回路
- 6, 10 入力バス選択制御回路
- 7 バスエラー送出回路
- 11, 13 パリティチェック回路
- 12 比較回路
- 14, 15 AND回路
- 21, 22 OR回路
- 23 バスAエラーF/F
- 24 バスBエラーF/F
- 25, 26 NOR回路
- 27, 28 AND回路
- 31, 32, 33, 34 OR回路
- 41 バスA
- 42 バスB
- 43 予備バス
- 44 信号線
- 45, 51 入力バス選択回路
- 46, 52 バスエラー検出回路
- 47, 53 入力バス選択制御回路
- 48, 50 バス出力切替回路
- 49 バスエラー送出回路
- 60 バスAB選択回路
- 61, 63, 64, 66 パリティチェック回路
- 62, 65 比較回路
- 67, 68, 69, 70 AND回路
- 71, 72 NOT回路
- 73, 84, 85, 86, 87 OR回路
- 80, 81, 82, 83 AND回路
- 88 バスAエラーF/F
- 89 バスBエラーF/F
- 90 バスABエラーF/F
- 91 予備バスエラーF/F
- 92 OR回路
- 93, 94, 95, 96 NOR回路
- 97 AND回路
- 100, 101, 102, 103, 104, 105, 106, 107 OR回路
- 110, 111 選択回路

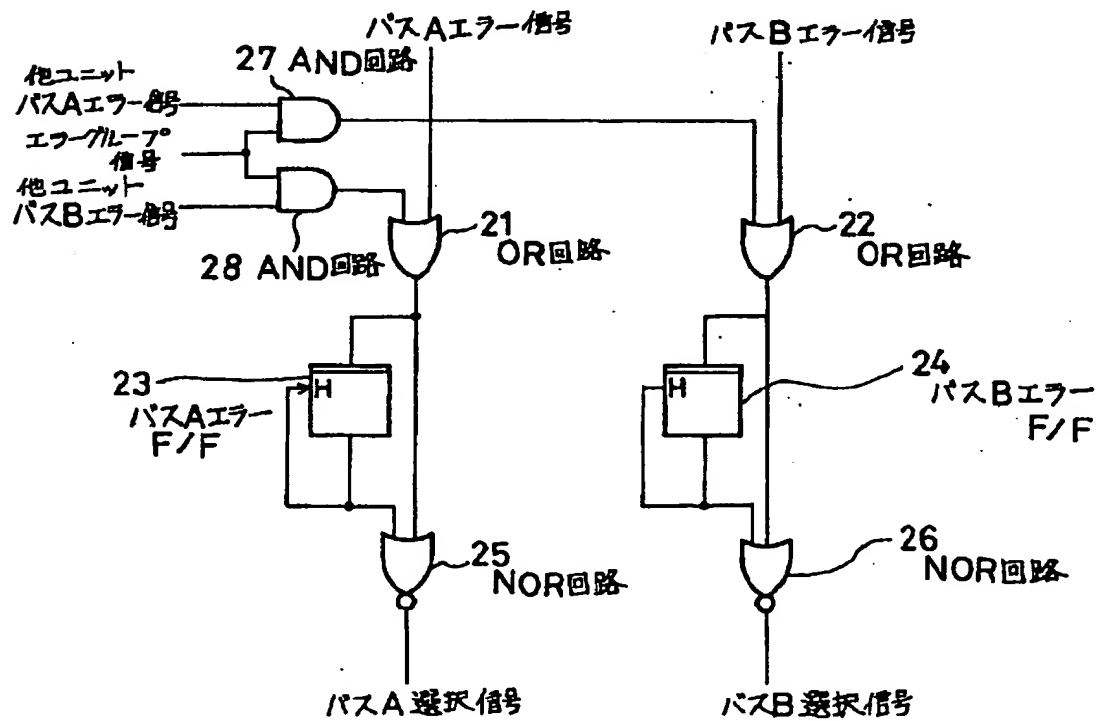
【図1】



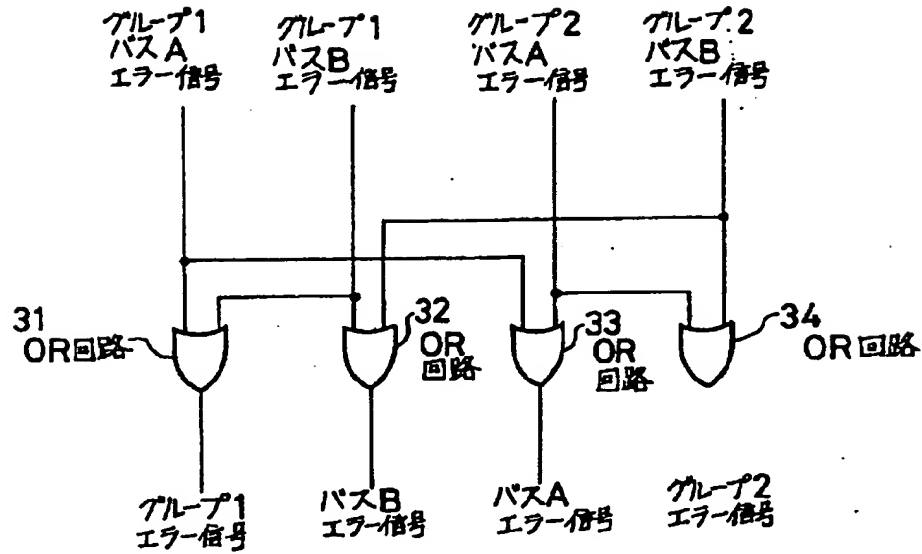
【図2】



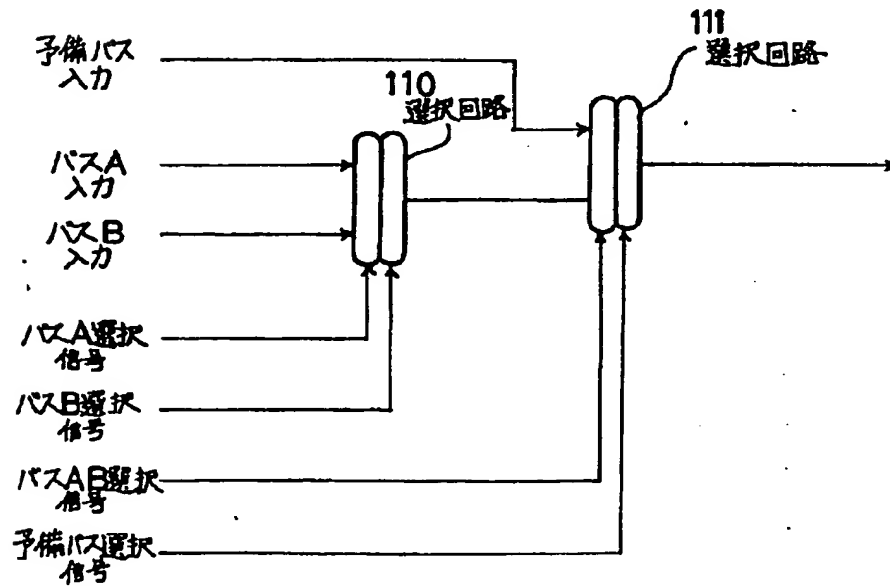
【図3】



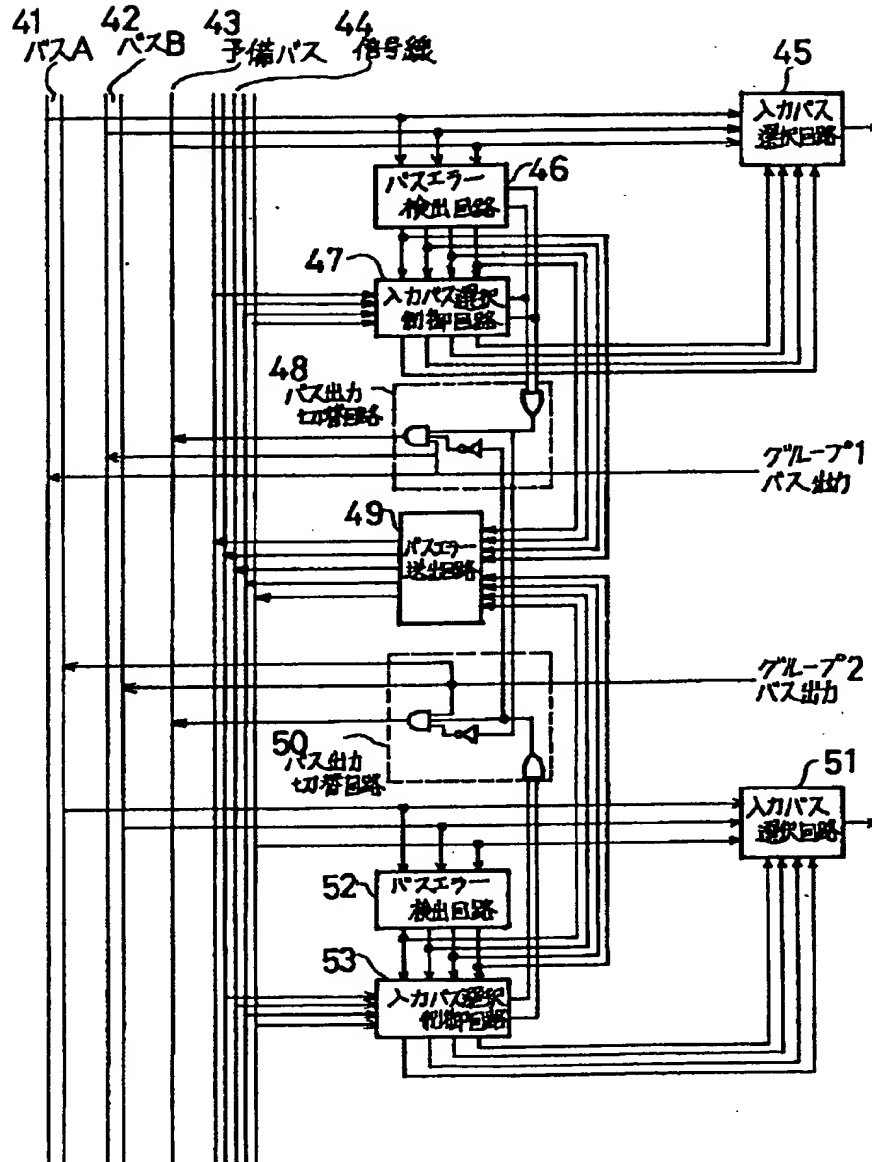
【図4】



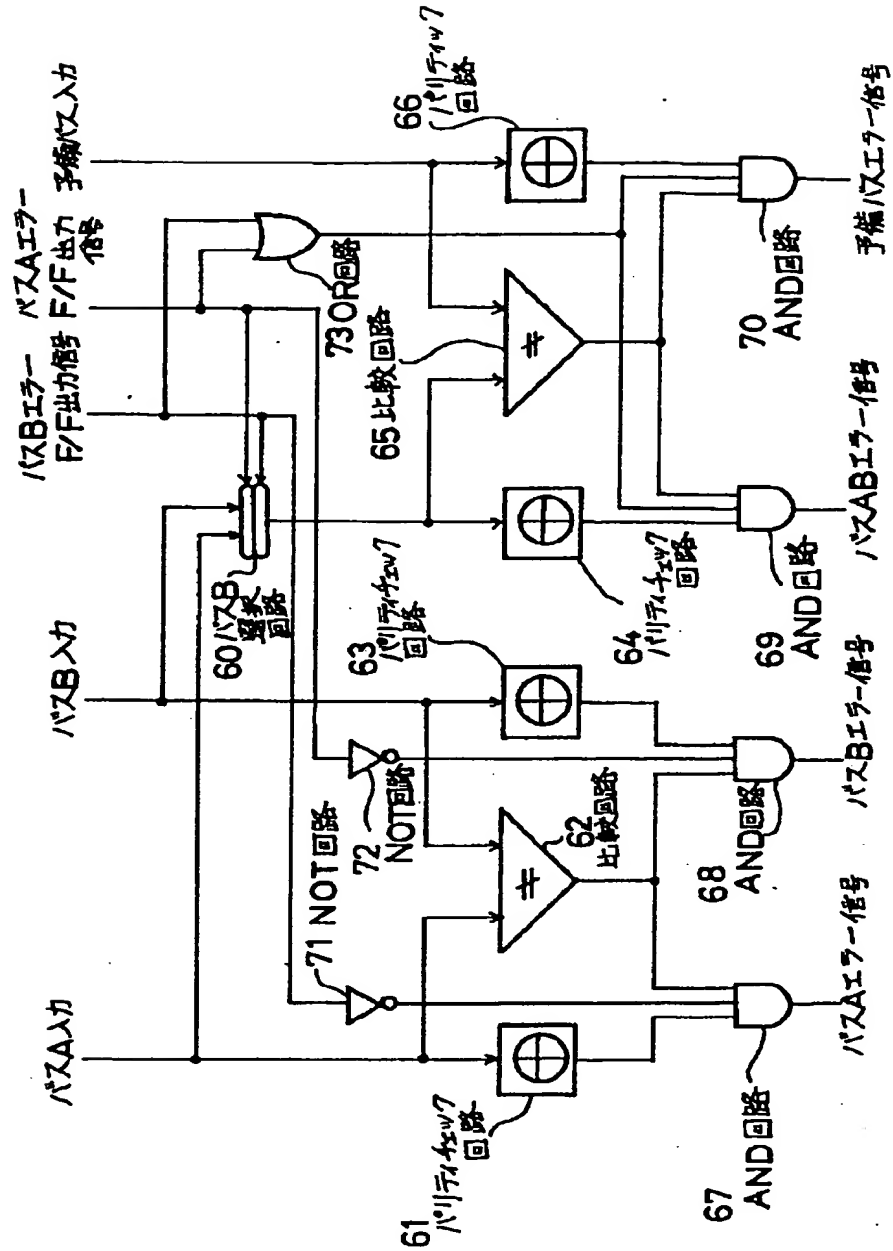
【図9】



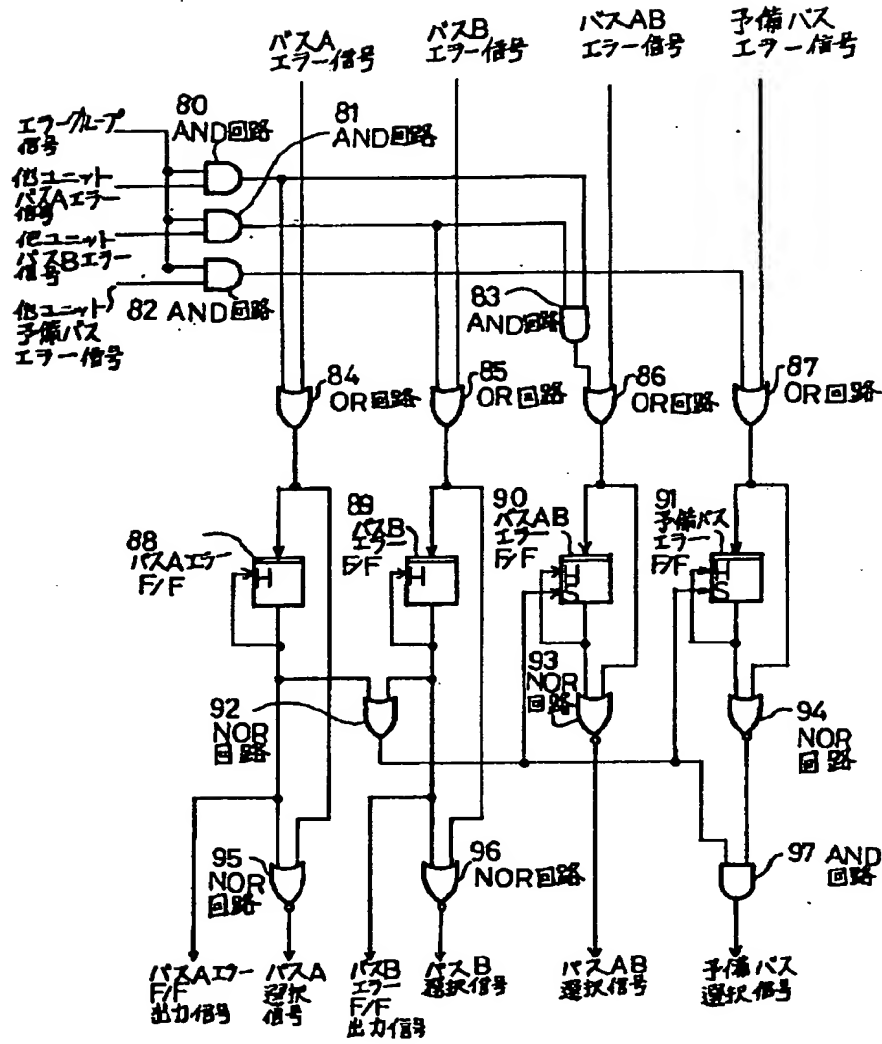
【図5】



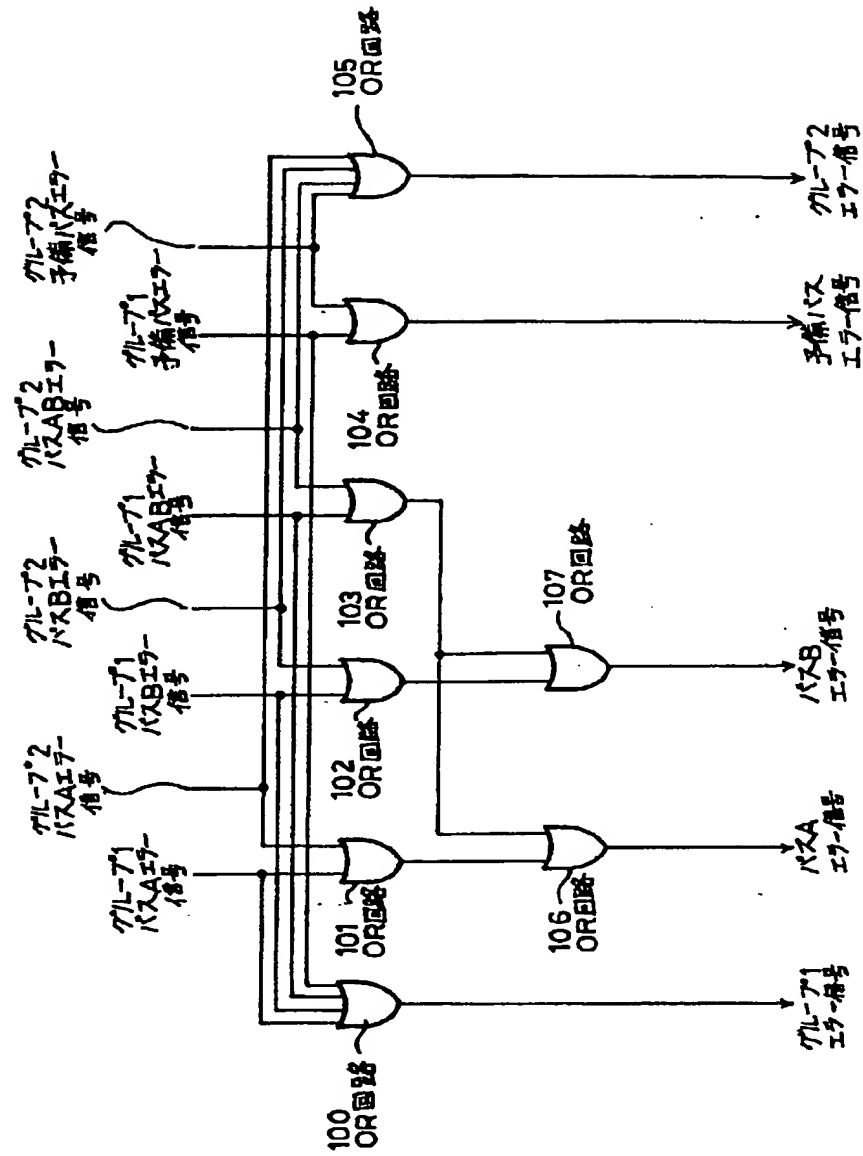
【図6】



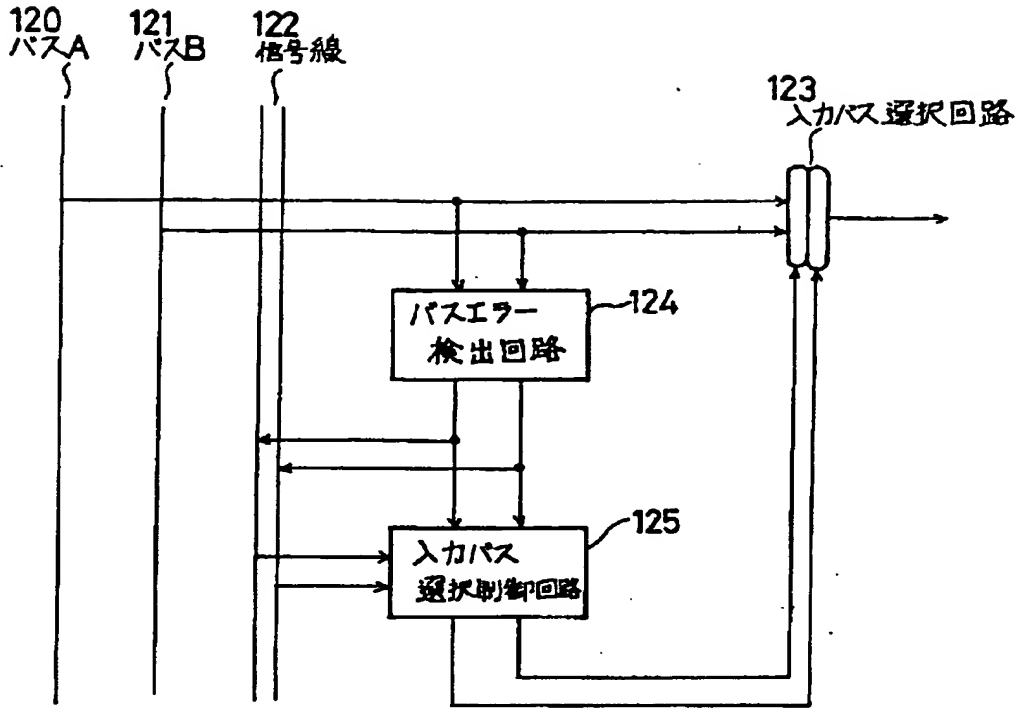
【図7】



【図8】



【図10】



【図11】

